

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-243680

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/407				
H 0 3 K 5/02		L 7402-5 J		
		6866-5 L	G 1 1 C 11/ 34	3 5 4 F

審査請求 未請求 請求項の数 4 O L (全 17 頁)

(21)出願番号 特願平5-31536

(22)出願日 平成5年(1993)2月22日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 梶本 毅

伊丹市瑞原4丁目1番地 三菱電機株式会社
北伊丹製作所内

(72)発明者 澤田 誠二

伊丹市瑞原4丁目1番地 三菱電機株式会社
北伊丹製作所内

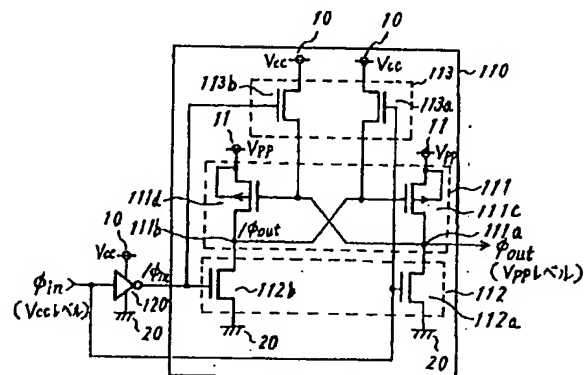
(74)代理人 弁理士 高田 守

(54)【発明の名称】 信号レベル変換回路

(57)【要約】

【目的】 電源電位 V_{CC} 振幅の信号を昇圧電位 V_{PP} 振幅の信号に変換する信号レベル変換回路の出力が変化するときには流れる貫通電流を小さくする。

【構成】 第1のpチャネルMOSトランジスタ111cおよび第2のpチャネルMOSトランジスタ111dからなるクロスカップル型回路111と、第1のnチャネルMOSトランジスタ112aおよび第2のnチャネルMOSトランジスタ112bからなる接地電位印加回路112と、出力ノード111aまたは反出力ノード111bに電荷を供給するための電荷供給回路113とを備える。



【特許請求の範囲】

【請求項1】 電源電位より高い電位が印加される高電位ノードと出力ノードとの間に接続され、ゲート電極が反出力ノードに接続された第1のpチャネルMOSトランジスタ、

上記高電位ノードと上記反出力ノードとの間に接続され、ゲート電極が上記出力ノードに接続された第2のpチャネルMOSトランジスタ、

上記出力ノードと接地電位ノードとの間に接続され、ゲート電極に入力信号が入力されるnチャネルMOSトランジスタ、

上記入力信号にตอบสนองし、上記入力信号が上記nチャネルMOSトランジスタを非導通状態から導通状態に変化させる信号になると上記反出力ノードに電荷を供給する電荷供給手段を備えた信号レベル変換回路。

【請求項2】 電源電位ノードに印加される電源電位より高い電位が印加される高電位ノードと出力ノードとの間に接続され、ゲート電極が反出力ノードに接続された第1のpチャネルMOSトランジスタ、

上記高電位ノードと上記反出力ノードとの間に接続され、ゲート電極が上記出力ノードに接続された第2のpチャネルMOSトランジスタ、

上記出力ノードと接地電位が印加される接地電位ノードとの間に接続され、ゲート電極に第1の入力信号が入力される第1のnチャネルMOSトランジスタ、

上記反出力ノードと上記接地電位ノードとの間に接続され、ゲート電極に上記第1の入力信号と相補の関係になっている第2の入力信号が入力される第2のnチャネルMOSトランジスタ、

上記電源電位ノードと上記反出力ノードとの間に接続され、ゲート電極に上記第1の入力信号が印加される第3のnチャネルMOSトランジスタ、

上記電源電位ノードと上記出力ノードとの間に接続され、ゲート電極に上記第2の入力信号が入力される第4のnチャネルMOSトランジスタを備えた信号レベル変換回路。

【請求項3】 電源電位より高い電位が印加される高電位ノードと出力ノードとの間に接続され、ゲート電極が反出力ノードに接続された第1のpチャネルMOSトランジスタ、

上記高電位ノードと上記反出力ノードとの間に接続され、ゲート電極が上記出力ノードに接続された第2のpチャネルMOSトランジスタ、

上記出力ノードと接地電位ノードとの間に接続され、ゲート電極に入力信号が入力されるnチャネルMOSトランジスタ、

上記入力信号にตอบสนองし、上記入力信号が上記nチャネルMOSトランジスタを非導通状態から導通状態に変化させる信号になると所定期間のパルスが発生するパルス発生手段、

このパルス発生手段からのパルスにตอบสนองして上記反出力ノードに電荷を供給する電荷供給手段を備えた信号レベル変換回路。

【請求項4】 電源電位より高い電位が印加される高電位ノードと出力ノードとの間に接続され、ゲート電極が反出力ノードに接続された第1のpチャネルMOSトランジスタ、

上記高電位ノードと上記反出力ノードとの間に接続され、ゲート電極が上記出力ノードに接続された第2のpチャネルMOSトランジスタ、

上記出力ノードと接地電位ノードとの間に接続され、ゲート電極が上記反出力ノードに接続されるとともに入力信号が入力されるnチャネルMOSトランジスタ、

選択及び非選択を示す選択信号を受け、選択信号が選択を示すと上記nチャネルMOSトランジスタのゲート電極に入力信号を伝達するためのスイッチング手段、

リセット信号を受け、このリセット信号が活性化すると上記反出力ノードに電荷を供給し、上記出力ノードと上記接地電位ノードとを導通させるリセット手段、

上記選択信号および上記入力信号にตอบสนองし、上記選択信号が選択を示し、かつ入力信号が上記nチャネルMOSトランジスタを導通状態から非導通状態に変化させる信号になると上記出力ノードに電荷を供給する電荷供給手段を備えたレベル変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は信号レベル変換回路に係り、特に電源電位と接地電位との間の振幅をもつ信号を上記電源電位より高い昇圧電位と接地電位との間の振幅をもつ信号に変換する装置に関する。

【0002】

【従来の技術】 半導体記憶装置、例えばDRAM (Dynamic Random Access Memory) においてメモリセルを選択する際、外部からのアドレス信号に基づくワード線を電源電位 V_{CC} よりも高い電位にする。これはメモリセルを構成するnチャネルMOSトランジスタのドレイン電極およびワード線に接続されるゲート電極の電位が電源電位 V_{CC} だとソース電極には電源電位 V_{CC} からnチャネルMOSトランジスタの閾値電圧 V_{th} だけ低い電位が伝わるため、ソース電極にドレイン電極の電源電位 V_{CC} を伝えようとする、上記ゲート電極の電位は $V_{CC} + V_{th}$ 以上に昇圧しなければならない。近年、ワード線を昇圧するにはワード線ごとにワード線昇圧回路を設けず、外部から電源電位 V_{CC} を受け、この電源電位 V_{CC} を基にチャージポンプなどの方法を用い、上記電源電位 V_{CC} より高い昇圧電位 V_{PP} を発生しこれをキャパシタに蓄えておき、この昇圧電位 V_{PP} をワード線を立ち上げるためのワード線ドライブ信号を出力するワード線ドライブ信号発生回路の電源として使用している。

【0003】 図9はこのようなワード線ドライブ信号発

3

生回路を含むDRAMの一部を示すブロック図であり、図において10は例えば3Vの電源電位 V_{CC} が印加される電源電位ノード、20は接地電位が印加される接地電位ノード、30は上記電源電位ノード10からの電源電位 V_{CC} を受けて駆動し、この電源電位 V_{CC} よりも高い例えば5Vの昇圧電位 V_{PP} を昇圧電位ノード40に出力する昇圧電位発生回路、50は上記昇圧電位ノード40と接地電位ノード20との間に接続され、昇圧電位ノード40から電流が流れ出たとき急に上記昇圧電位 V_{PP} が低下しないように設けられているキャパシタである。

【0004】60は上記昇圧電位ノード40から昇圧電位 V_{PP} を受けて駆動し、電源電位 V_{CC} 振幅のロウアドレスストロープ信号/RASを受け、このロウアドレスストロープ信号/RASがLレベルになると、昇圧電位 V_{PP} 振幅のHレベルとなるワード線ドライブ信号RXを出力するワード線ドライブ信号発生回路、70は外部からのロウアドレス信号に基づき活性化するロウブリデコード信号 X_0 および X_1 を受け、このロウブリデコード信号 X_0 および X_1 がともに活性化するとHレベルとなるロウデコード信号RDおよびLレベルとなるロウデコード信号/RDを出力するロウデコーダ、80は上記ロウデコード信号RD、/RDおよび上記ワード線ドライブ信号発生回路60からのワード線ドライブ信号RXを受け、上記ロウデコード信号RDがHレベル、/RDがLレベルおよびワード線ドライブ信号RXが昇圧電位 V_{PP} 振幅のHレベルとなると、ワード線WLの電位を昇圧電位 V_{PP} にするワードドライバである。

【0005】90はワード線91とビット線92、93との交点に配置された複数のメモリセル94がマトリクス状に配置されたメモリセルアレイと、上記ビット線92および93に接続された複数のセンスアンプ95の一部を示すメモリアレイ部で、上記メモリセル94は電源電位 V_{CC} と接地電位との中間電位(1/2) V_{CC} が印加される中間電位ノード94aに一方の電極が接続され、他方の電極にデータを蓄積するキャパシタ94bと、ビット線92と上記キャパシタ94bの他方の電極との間に接続され、ゲート電極がワード線91に接続され、例えば1Vの閾値電圧 V_{tn} をもつnチャネルMOSトランジスタ94cとで構成される。

【0006】上記ワード線ドライブ信号発生回路60において、61は電源電位 V_{CC} 振幅のロウアドレスストロープ信号/RASを受け、このロウアドレスストロープ信号/RASを所定時間遅延した電源電位 V_{CC} 振幅の遅延信号DLを出力する遅延回路、62は電源電位ノード10からの電源電位 V_{CC} を受けて駆動し、上記電源電位 V_{CC} 振幅の遅延信号DLを受け、この遅延信号DLの電源電位 V_{CC} 振幅の反転信号/DLを出力するインバータ、63は上記昇圧電位ノード40からの昇圧電位 V_{PP} を受けて駆動し、上記遅延信号DLおよび上記インバータ62からの出力/DLを受け、昇圧電位 V_{PP} 振幅のワ

4

ード線ドライブ信号RXを出力する信号レベル変換回路で、上記昇圧電位ノード40と第1のノード63aとの間に接続され、ゲート電極が第2のノード63bに接続され、例えば-1Vの閾値電圧 V_{tp} をもつpチャネルMOSトランジスタ63cと、上記第1のノード63aと接地電位ノード20との間に接続され、ゲート電極に上記インバータ62からの出力信号/DLを受け、例えば1Vの閾値電圧 V_{tn} をもつnチャネルMOSトランジスタ63dと、上記昇圧電位ノード40と上記第2のノード63bとの間に接続され、ゲート電極が上記第1のノード63aに接続され、閾値電圧 V_{tp} をもち、上記pチャネルMOSトランジスタ63cとでクロスカップル型回路を構成するpチャネルMOSトランジスタ63eと、上記第2のノード63bと接地電位ノード20との間に接続され、ゲート電極に上記遅延信号DLを受けるnチャネルMOSトランジスタ63fとから構成されている。

【0007】上記ロウデコーダ70において、71は上記電源電位ノード10と第3のノード72との間に接続され、ゲート電極にブリデコード信号 X_0 を受けるpチャネルMOSトランジスタ、73は上記第3のノード72に接続され、ゲート電極に上記ブリデコード信号 X_0 を受けるnチャネルMOSトランジスタ、74は上記nチャネルMOSトランジスタ73と接地電位ノード20との間に接続され、ゲート電極ブリデコード信号 X_1 を受けるnチャネルMOSトランジスタ、75は電源電位 V_{CC} を受けて駆動し、入力側が上記第3のノード72に接続され、出力側からロウデコード信号RDを出力するインバータ、76は上記電源電位ノード10と第3のノード72との間に接続され、ゲート電極が上記インバータ75の出力側に接続されたpチャネルMOSトランジスタである。

【0008】上記ワードドライバ80において、81は上記ロウデコーダ70におけるインバータ75の出力側と接続され、ゲート電極が上記電源電位ノード10に接続され、閾値電圧 V_{tn} をもつnチャネルMOSトランジスタ、82は上記ワード線ドライブ信号発生回路60における第2のノード63bとワード線91との間に接続され、ゲート電極が上記nチャネルMOSトランジスタ81に接続され、閾値電圧 V_{tn} をもつnチャネルMOSトランジスタ、83は上記ワード線91と接地電位ノード20との間に接続され、ゲート電極が上記ロウデコーダ70における第3のノード72に接続されたnチャネルMOSトランジスタである。

【0009】次に以上のように構成されたDRAMの動作について、図10に基づき説明する。まず、図10の(a)に示されたロウアドレスストロープ信号/RASが非活性状態(電源電位 V_{CC} 振幅のHレベル)から活性状態(Lレベル)にされる時刻 t_0 までは、ブリデコード信号 X_0 および X_1 は図10の(b)および(c)に

示すように接地電位にあり、このプリデコード信号 X_0 をゲート電極に受ける n チャネルMOSトランジスタ73は非導通状態、 p チャネルMOSトランジスタ71は導通状態となり、電源電位ノード10と第3のノード72とが導通している、この第3のノード72から出力されるデコード信号/RDは、図10の(e)に示すように電源電位 V_{CC} となっている。

【0010】また、インバータ75はこのデコード信号/RDを受け、図10の(d)に示すように接地電位のデコード信号RDを出力し、ワードドライバ80における n チャネルMOSトランジスタ81はゲート電極に電源電位 V_{CC} を受け、上記デコード信号RDとの電位差がこの n チャネルMOSトランジスタ81の閾値電圧 V_{tn} 以上あるので上記 n チャネルMOSトランジスタ81は導通状態にあり、 n チャネルMOSトランジスタ82のゲート電極の電位 V_G は上記接地電位のデコード信号RDに等しくなり、図10の(f)に示すように接地電位となり、この n チャネルMOSトランジスタ82は非導通状態となる。そして、上記電源電位 V_{CC} のデコード信号/RDをゲート電極に受ける n チャネルMOSトランジスタ83は導通状態となっているので、ワード線91の電位WLは図10の(k)に示すように接地電位となっている。

【0011】一方、この電源電位 V_{CC} のロウアドレスストロブ信号/RASを受けるワード線ドライブ信号発生回路60における遅延回路61は、図10の(g)に示すように電源電位 V_{CC} の遅延信号DLを出力しており、この遅延信号DLをゲート電極に受ける、信号レベル変換回路63における n チャネルMOSトランジスタ63fは導通状態で、第2のノード63bと接地電位ノード20とが導通し、この第2のノード63bから出力されるワード線ドライブ信号RXは、図10の(j)に示すように接地電位となっている。また、インバータ62は上記電源電位 V_{CC} の遅延信号DLを受け、接地電位の信号/DLを出力し、この信号/DLをゲート電極に受ける n チャネルMOSトランジスタ63dは非導通状態で、 p チャネルMOSトランジスタ63cは上記第2のノード63bからの接地電位のワード線ドライブ信号RXをゲート電極に受け導通状態となっているので、昇圧電位ノード40と第1のノード63aとが導通し、この第1のノード63aの電位 N_1 は図10の(i)に示すように昇圧電位 V_{pp} となっており、この第1のノード63aの電位 N_1 をゲート電極に受ける p チャネルMOSトランジスタ63eは非導通状態となっている。

【0012】そして、時刻 t_0 でロウアドレスストロブ信号/RASが活性化(Lレベル)され接地電位になると、これを受けて外部からのアドレス信号が取り込まれ、このアドレス信号に基づきプリデコード信号 X_0 および X_1 が図10の(b)および(c)に示すように時刻 t_1 で n チャネルMOSトランジスタ73および74

の閾値電圧 V_{tn} を超え、電源電位 V_{CC} に立ち上がる。すると、上記 n チャネルMOSトランジスタ73および74が導通状態、 p チャネルMOSトランジスタ71が非導通状態となり、第3のノード72から出力されるデコード信号/RDは図10の(e)に示すように電源電位 V_{CC} から低下し始め、時刻 t_2 で n チャネルMOSトランジスタ83の閾値電圧 V_{tn} まで低下し、やがて接地電位となり、このデコード信号/RDをゲート電極に受ける上記 n チャネルMOSトランジスタ83は非導通状態となる。

【0013】また、インバータ75は上記デコード信号/RDを受け、図10の(d)に示すようにほぼ時刻 t_2 で n チャネルMOSトランジスタ82の閾値電圧 V_{tn} を超え、電源電位 V_{CC} となるデコード信号RDを出力し、これを受けて n チャネルMOSトランジスタ82のゲート電極の電位 V_G も図10の(f)に示すように上昇し、この V_G が n チャネルMOSトランジスタ81のゲート電極の電位である電源電位 V_{CC} より上記 n チャネルMOSトランジスタ81の閾値電圧 V_{tn} だけ低い電位となると、この n チャネルMOSトランジスタ81は非導通状態となる。

【0014】一方、ワード線ドライブ信号発生回路60における遅延回路61は、上記ワードドライバ80における n チャネルMOSトランジスタ82のゲート電極の電位 V_G が $V_{CC}-V_{tn}$ になる前にワード線ドライブ信号RXが立ち上がりように、図10の(g)に示すように上記ロウアドレスストロブ信号/RASが立ち下がった時刻 t_0 から所定時間 ΔT だけ遅延した時刻 t_3 に、 n チャネルMOSトランジスタ63fの閾値電圧 V_{tn} に立ち下がる遅延信号DLを出力する。すると、上記 n チャネルMOSトランジスタ63fは非導通状態となり、また、インバータ62はこの遅延信号DLを受け、図10の(h)に示すようにほぼ時刻 t_3 で n チャネルMOSトランジスタ63dの閾値電圧 V_{tn} に上昇し、やがて電源電位 V_{CC} となる反転信号/DLを出力し、この信号/DLをゲート電極に受ける n チャネルMOSトランジスタ63dは導通状態となり、第1のノード63aと接地電位ノード20とが導通し、この第1のノード63aの電位 N_1 が図10の(i)に示すように昇圧電位 V_{pp} から低下し始め、時刻 t_4 で昇圧電位 V_{pp} より p チャネルMOSトランジスタの閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位となる。

【0015】そして、上記第1のノード63aの電位 N_1 をゲート電極に受ける p チャネルMOSトランジスタ63eは導通状態となり、昇圧電位ノード40と第2のノード63bとが導通し、この第2のノード63bから出力されるワード線ドライブ信号RXが図10の(j)に示すように時刻 t_5 で昇圧電位 V_{pp} より p チャネルMOSトランジスタ63cの閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位を超え、昇圧電位 V_{pp} に立ち上がる。する

と、上記ワード線ドライブ信号RXをゲート電極に受けるpチャネルMOSトランジスタ63cは非導通状態となり、また、ワードドライブ80におけるnチャネルMOSトランジスタ82は上記ワード線ドライブ信号RXを受け、このnチャネルMOSトランジスタ82のゲート容量による容量結合により、ゲート電極の電位 V_G が図10の(f)に示すように電源電位 V_{CC} よりも閾値電圧 V_{tn} だけ低い電位から昇圧電位 V_{pp} よりも閾値電圧 V_{tn} だけ高い電位まで上昇するので、このワード線ドライブ信号RXはそのままワード線91に伝えられ、ワード線91の電位WLは図10の(k)に示すように昇圧電位 V_{pp} に立ち上がる。

【0016】そして、上記昇圧電位 V_{pp} に立ち上がったワード線91の電位WLを受け、メモリセル94におけるnチャネルMOSトランジスタ94cが導通状態となり、このメモリセル94に記憶されていたデータがビット線92に出力される。このビット線92および93はあらかじめ中間電位 $(1/2)V_{CC}$ にプリチャージされており、上記記憶データHレベルだとビット線92の電位は中間電位 $(1/2)V_{CC}$ よりわずかに上昇し、上記記憶データがLレベルだとビット線92の電位は中間電位 $(1/2)V_{CC}$ よりわずかに低下し、電位が中間電位 $(1/2)V_{CC}$ のままのビット線93と電位差が生じる。この電位差はセンスアンプ95により増幅され、電位が高いほうのビット線は電源電位 V_{CC} に、電位の低いほうのビット線は接地電位にされ、nチャネルMOSトランジスタ94cを介しビット線92に接続されたキャパシタ94bの電極が、再び記憶されていたデータに対応した電位となる。

【0017】そして、上記のようにメモリセル94が選択され、記憶されていたデータの出力が終わり、ロウアドレスストロブ信号/RASが図10の(a)に示すように時刻 t_6 で非活性化(Hレベル)されると、これを受けてプリデコード信号 X_0 および X_1 が図10の(b)および(c)に示すように立ち下がり始め、時刻 t_7 で電源電位 V_{CC} よりpチャネルMOSトランジスタ71の閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位となり、時刻 t_8 でnチャネルMOSトランジスタ73および74の閾値電圧 V_{tn} となり、接地電位となる。すると、これを受けてnチャネルMOSトランジスタ73および74は非導通状態、pチャネルMOSトランジスタ71は導通状態となり、第3のノード72から出力されるデコード信号/RDは、図10の(e)に示すように接地電位から上昇し始め、ほぼ時刻 t_8 でnチャネルMOSトランジスタ83の閾値電圧 V_{tn} を越え、電源電位 V_{CC} となり、このデコード信号/RDをゲート電極に受ける上記nチャネルMOSトランジスタ83は導通状態となり、ワード線91と接地電位ノード20とが導通し、このワード線91の電位WLが図10の(k)に示すように低下し始める。

【0018】また、インバータ75は上記第3のノード72からのデコード信号/RDを受け、図10の(d)に示すように時刻 t_8 で電源電位 V_{CC} から低下し始め、時刻 t_9 で電源電位 V_{CC} からnチャネルMOSトランジスタ81の閾値電圧 V_{tn} だけ低い電位となり、やがて接地電位となるデコード信号RDを出力し、これを受けてnチャネルMOSトランジスタ81は導通状態となり、nチャネルMOSトランジスタ82のゲート電極の電位 V_G は図10の(f)に示すように低下し始め、時刻 t_{10} でnチャネルMOSトランジスタ82の閾値電圧 V_{tn} となり、やがて接地電位となり、このnチャネルMOSトランジスタ82は非導通状態となり、上記ワード線91の電位WLは図10の(k)に示すように接地電位となる。すると、メモリセル94における、上記ワード線91の電位WLをゲート電極に受けるnチャネルMOSトランジスタ94は非導通状態となり、HまたはLのデータに対応した電位がキャパシタ94bの電極に保持される。

【0019】一方、ワード線ドライブ信号発生回路60における遅延回路61は、図10の(g)に示すようにロウアドレスストロブ信号/RASが立ち上がった時刻 t_6 よりも所定時間 ΔT だけ遅れた時刻 t_{11} でnチャネルMOSトランジスタ63fの閾値電圧 V_{tn} を越え、電源電位 V_{CC} に立ち上がる遅延信号DLを出力し、この遅延信号DLをゲート電極に受ける上記nチャネルMOSトランジスタ63fが導通状態となり、第2のノード63bと接地電位ノード20とが導通し、この第2のノード63bから出力されるワード線ドライブ信号RXが図10の(j)に示すように立ち下がり始め、時刻 t_{12} で昇圧電位 V_{pp} よりpチャネルMOSトランジスタ63cの閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位となり、この第2のノード63bからのワード線ドライブ信号RXをゲート電極に受けるpチャネルMOSトランジスタ63cは導通状態となる。

【0020】また、インバータ62は上記遅延信号DLを受け、図10の(h)に示すようにほぼ時刻 t_{11} で立ち下がり始め、時刻 t_{13} でnチャネルMOSトランジスタ63dの閾値電圧 V_{tn} となり、やがて接地電位となる反転信号/DLを出力し、この信号/DLをゲート電極に受けるnチャネルMOSトランジスタ63dは非導通状態となり、第1のノード63aの電位 N_1 は図10の(i)に示すように時刻 t_{14} で昇圧電位 V_{pp} よりpチャネルMOSトランジスタ63eの閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位を越え、昇圧電位 V_{pp} となり、この第1のノード63の電位 N_1 をゲート電極に受ける上記pチャネルMOSトランジスタ63eは非導通状態となり、第2のノード63bから出力されるワード線ドライブ信号RXが図10の(j)に示すように接地電位となる。

【発明が解決しようとする課題】上記のような従来の信号レベル変換回路63においては、ワード線91の電位WLを昇圧電位Vppに立ち上げるとき、図10に示すようにnチャネルMOSトランジスタ63dが導通状態となる時刻t₃からpチャネルMOSトランジスタ63cが非導通状態となる時刻t₅まで、上記nチャネルMOSトランジスタ63dおよびpチャネルMOSトランジスタ63cはともに導通状態にあり、このとき、pチャネルMOSトランジスタ63cおよびnチャネルMOSトランジスタ63dを介し、昇圧電位ノード40から接地電位ノード20へ貫通電流が流れ、また、ワード線91の電位WLを接地電位に立ち下げるとき、図10に示すようにnチャネルMOSトランジスタ63fが導通状態となる時刻t₁₁からpチャネルMOSトランジスタ63eが非導通状態となる時刻t₁₄まで、上記nチャネルMOSトランジスタ63fおよびpチャネルMOSトランジスタ63eはともに導通状態にあり、このとき、上記pチャネルMOSトランジスタ63eおよびnチャネルMOSトランジスタ63fを介し、昇圧電位ノード40から接地電位ノード20に貫通電流が流れるので、消費電力が大きいという問題がある。

【0022】この発明は上記した点に鑑みてなされたものであり、上記貫通電流が流れる時間が短く、低消費電力の信号レベル変換回路を得ることを目的とする。

【0023】

【課題を解決するための手段】この発明の第1の発明に係る信号レベル変換回路は、電源電位より高い電位が印加される高電位ノードと出力ノードとの間に接続され、ゲート電極が反出力ノードに接続された第1のpチャネルMOSトランジスタ、上記高電位ノードと上記反出力ノードとの間に接続され、ゲート電極が上記出力ノードに接続された第2のpチャネルMOSトランジスタ、上記出力ノードと接地電位ノードとの間に接続され、ゲート電極に入力信号が入力されるnチャネルMOSトランジスタ、上記入力信号にตอบสนองし、上記入力信号が上記nチャネルMOSトランジスタを非導通状態から導通状態に変化させる信号になると上記反出力ノードに電荷を供給する電荷供給手段を備えたものである。

【0024】また、この発明の第2の発明に係る信号レベル変換回路は、電源電位ノードに印加される電源電位より高い電位が印加される高電位ノードと出力ノードとの間に接続され、ゲート電極が反出力ノードに接続された第1のpチャネルMOSトランジスタ、上記高電位ノードと上記反出力ノードとの間に接続され、ゲート電極が上記出力ノードに接続された第2のpチャネルMOSトランジスタ、上記出力ノードと接地電位が印加される接地電位ノードとの間に接続され、ゲート電極に第1の入力信号が入力される第1のnチャネルMOSトランジスタ、上記反出力ノードと上記接地電位ノードとの間に接続され、ゲート電極に上記第1の入力信号と相補の関

係になっている第2の入力信号が入力される第2のnチャネルMOSトランジスタ、上記電源電位ノードと上記反出力ノードとの間に接続され、ゲート電極に上記第1の入力信号が印加される第3のnチャネルMOSトランジスタ、上記電源電位ノードと上記出力ノードとの間に接続され、ゲート電極に上記第2の入力信号が入力される第4のnチャネルMOSトランジスタを備えたものである。

【0025】また、この発明の第3の発明に係る信号レベル変換回路は、電源電位より高い電位が印加される高電位ノードと出力ノードとの間に接続され、ゲート電極が反出力ノードに接続された第1のpチャネルMOSトランジスタ、上記高電位ノードと上記反出力ノードとの間に接続され、ゲート電極が上記出力ノードに接続された第2のpチャネルMOSトランジスタ、上記出力ノードと接地電位ノードとの間に接続され、ゲート電極に入力信号が入力されるnチャネルMOSトランジスタ、上記入力信号にตอบสนองし、上記入力信号が上記nチャネルMOSトランジスタを非導通状態から導通状態に変化させる信号になると所定期間のパルスが発生するパルス発生手段、このパルス発生手段からのパルスにตอบสนองして上記反出力ノードに電荷を供給する電荷供給手段を備えたものである。

【0026】また、この発明の第4の発明に係る信号レベル変換回路は、電源電位より高い電位が印加される高電位ノードと出力ノードとの間に接続され、ゲート電極が反出力ノードに接続された第1のpチャネルMOSトランジスタ、上記高電位ノードと上記反出力ノードとの間に接続され、ゲート電極が上記出力ノードに接続された第2のpチャネルMOSトランジスタ、上記出力ノードと接地電位ノードとの間に接続され、ゲート電極が上記反出力ノードに接続されるとともに入力信号が入力されるnチャネルMOSトランジスタ、選択及び非選択を示す選択信号を受け、選択信号が選択を示すと上記nチャネルMOSトランジスタのゲート電極に入力信号を伝達するためのスイッチング手段、リセット信号を受け、このリセット信号が活性化すると上記反出力ノードに電荷を供給し、上記出力ノードと上記接地電位ノードとを導通させるリセット手段、上記選択信号および上記入力信号にตอบสนองし、上記選択信号が選択を示し、かつ入力信号が上記nチャネルMOSトランジスタを導通状態から非導通状態に変化させる信号になると上記出力ノードに電荷を供給する電荷供給手段を備えたものである。

【0027】

【作用】この発明の第1の発明においては、出力ノードの電位が電源電位より高い電位、反出力ノードの電位が接地電位、入力信号がnチャネルMOSトランジスタを非導通状態とする信号となつて、第1のpチャネルMOSトランジスタが導通状態、第2のpチャネルMOSトランジスタが非導通状態となっている状態から、入力信

号が上記nチャネルMOSトランジスタを非導通状態から導通状態に変化させる信号となり、上記出力ノードと接地電位ノードとが導通し、この出力ノードの電位が上記電源電位より高い電位から接地電位へと変化するとき、この出力ノードの電位をゲート電極に受ける第2のpチャネルMOSトランジスタは導通状態となり、上記電源電位より高い電位が印加される高電位ノードと反出力ノードとが導通し、この反出力ノードの電位が上昇する。一方、電荷供給手段によっても上記反出力ノードに電荷が供給されるので、素早くこの反出力ノードの電位が上昇し、この反出力ノードの電位をゲート電極に受ける第1のpチャネルMOSトランジスタは素早く非導通状態となる。よって出力ノードが接地電位ノードと導通してから第1のpチャネルMOSトランジスタが非導通状態となるまでの時間、つまり、高電位ノードから第1のpチャネルMOSトランジスタおよびnチャネルMOSトランジスタを介し、接地電位ノードに貫通電流が流れる時間が短いので、低消費電力である。

【0028】また、この発明の第2の発明においては、出力ノードの電位が電源電位より高い電位、反出力ノードの電位が接地電位、第1の入力信号が第1のnチャネルMOSトランジスタを非導通状態とするレベル、第2の入力信号が第2のnチャネルMOSトランジスタを導通状態とするレベルとなって、第1のpチャネルMOSトランジスタが導通状態、第2のpチャネルMOSトランジスタが非導通状態となっている状態から、上記第1の入力信号が上記第1のnチャネルMOSトランジスタを導通状態にするレベルとなり、上記第2の入力信号が上記第2のnチャネルMOSトランジスタを非導通状態にするレベルとなり、上記出力ノードと接地電位ノードとが導通し、この出力ノードの電位が上記電源電位より高い電位から接地電位へと変化するとき、この出力ノードの電位をゲート電極に受ける第2のpチャネルMOSトランジスタは導通状態となり、上記電源電位より高い電位が印加される高電位ノードと反出力ノードとが導通し、この反出力ノードの電位が上昇する。

【0029】一方、第3のnチャネルMOSトランジスタも導通状態となり、電源電位ノードと反出力ノードとが導通し、上記電源電位ノードから反出力ノードに電荷が供給されるので、素早くこの反出力ノードの電位が上昇し、この反出力ノードの電位をゲート電極に受ける第1のpチャネルMOSトランジスタは素早く非導通状態となる。よって出力ノードが接地電位ノードと導通してから第1のpチャネルMOSトランジスタが非導通状態となるまでの時間、つまり、高電位ノードから第1のpチャネルMOSトランジスタおよび第1のnチャネルMOSトランジスタを介し、接地電位ノードに貫通電流が流れる時間が短いので、低消費電力である。

【0030】また、出力ノードの電位が接地電位、反出力ノードの電位が電源電位より高い電位、第1の入力信

号が第1のnチャネルMOSトランジスタを導通状態とするレベル、第2の入力信号が第2のnチャネルMOSトランジスタを非導通状態とするレベルとなって、第1のpチャネルMOSトランジスタが非導通状態、第2のpチャネルMOSトランジスタが導通状態となっている状態から、上記第1の入力信号が上記第1のnチャネルMOSトランジスタを非導通状態にするレベルとなり、上記第2の入力信号が上記第2のnチャネルMOSトランジスタを導通状態にするレベルとなり、上記反出力ノードと接地電位ノードとが導通し、この反出力ノードの電位が上記電源電位より高い電位から接地電位へと変化するとき、この反出力ノードの電位をゲート電極に受ける第1のpチャネルMOSトランジスタは導通状態となり、上記電源電位より高い電位が印加される高電位ノードと出力ノードとが導通し、この出力ノードの電位が上昇する。

【0031】一方、第4のnチャネルMOSトランジスタも導通状態となり、電源電位ノードと出力ノードとが導通し、上記出力ノードに電荷が供給されるので、素早くこの出力ノードの電位が上昇し、この出力ノードの電位をゲート電極に受ける第2のpチャネルMOSトランジスタは素早く非導通状態となる。よって反出力ノードが接地電位ノードと導通してから第2のpチャネルMOSトランジスタが非導通状態となるまでの時間、つまり、高電位ノードから第2のpチャネルMOSトランジスタおよび第2のnチャネルMOSトランジスタを介し、接地電位ノードに貫通電流が流れる時間が短いので、低消費電力である。

【0032】また、この発明の第3の発明においては、出力ノードの電位が電源電位より高い電位、反出力ノードの電位が接地電位、入力信号がnチャネルMOSトランジスタを非導通状態とする信号となって、第1のpチャネルMOSトランジスタが導通状態、第2のpチャネルMOSトランジスタが非導通状態となっている状態から、入力信号が上記nチャネルMOSトランジスタを非導通状態から導通状態に変化させる信号となり、上記出力ノードと接地電位ノードとが導通し、この出力ノードの電位が上記電源電位より高い電位から接地電位へと変化するとき、この出力ノードの電位をゲート電極に受ける第2のpチャネルMOSトランジスタは導通状態となり、上記電源電位より高い電位が印加される高電位ノードと反出力ノードとが導通し、この反出力ノードの電位が上昇する。

【0033】一方、パルス発生手段から電荷供給手段に所定期間のパルスが出力され、この電荷供給手段によっても上記所定期間上記反出力ノードに電荷が供給されるので、素早くこの反出力ノードの電位が上昇し、この反出力ノードの電位をゲート電極に受ける第1のpチャネルMOSトランジスタは素早く非導通状態となる。よって出力ノードが接地電位ノードと導通してから第1のp

チャネルMOSトランジスタが非導通状態となるまでの時間、つまり、高電位ノードから第1のpチャネルMOSトランジスタおよびnチャネルMOSトランジスタを介し、接地電位ノードに貫通電流が流れる時間が短いので、低消費電力である。

【0034】この発明の第4の発明においては、出力ノードの電位が接地電位に、反出力ノードの電位が電源電位より高い電位にリセットされるとき、上記反出力ノードに第2のpチャネルMOSトランジスタだけでなく、リセット手段によっても電荷が供給されるので、この反出力ノードの電位は素早く上昇し、第1のpチャネルMOSトランジスタが素早く非導通状態となる。よって出力ノードが接地電位ノードと導通してから第1のpチャネルMOSトランジスタが非導通状態となるまでの時間、つまり、高電位ノードから第1のpチャネルMOSトランジスタおよびリセット手段を介し、接地電位ノードに貫通電流が流れる時間が短いので、低消費電力である。

【0035】また、選択信号が選択を示し、かつ入力信号がnチャネルMOSトランジスタを導通状態から非導通状態に変化させる信号になったとき、出力ノードに第1のpチャネルMOSトランジスタだけでなく、電荷供給手段によっても電荷が供給されるので、この出力ノードの電位は素早く上昇し、第2のpチャネルMOSトランジスタが素早く非導通状態となる。よって反出力ノードの電位がnチャネルMOSトランジスタを非導通状態にする電位になってから第2のpチャネルMOSトランジスタが非導通状態となるまでの時間、つまり、高電位ノードから第2のpチャネルMOSトランジスタおよび反出力ノードを介し、スイッチング手段に電流が流れこむ時間が短いので、低消費電力である。

【0036】

【実施例】

実施例1. 以下、この発明の実施例1である信号レベル変換回路について、図1に基づき説明する。図において10は電源電位 V_{CC} が印加される電源電位ノード、11はこの電源電位 V_{CC} より高い昇圧電位が印加される高電位ノードである昇圧電位ノード、110は信号レベル変換回路で、この信号レベル変換回路110において111は上記昇圧電位ノード11と V_{PP} 振幅の出力信号 ϕ_{out} が出力される出力ノード111aとの間に接続され、ゲート電極が反出力ノード111bに接続され、閾値電圧 V_{tp} をもつ第1のpチャネルMOSトランジスタ111cと、上記昇圧電位ノード11と反出力ノード111bとの間に接続され、ゲート電極が出力ノード111aに接続され、閾値電圧 V_{tp} をもつ第2のpチャネルMOSトランジスタ111dとを有するクロスカップル型回路である。

【0037】112は上記出力ノード111aと接地電位ノード20との間に接続され、ゲート電極にLレベル

と電源電位 V_{CC} 振幅のHレベルの2値レベルをもつ第1の入力信号 ϕ_{in} を受ける第1のnチャネルMOSトランジスタ112aと、上記反出力ノード111bと接地電位ノード20との間に接続され、ゲート電極に上記第1の入力信号 ϕ_{in} と相補の関係で、インバータ120による上記入力信号 ϕ_{in} の反転信号である第2の入力信号 ϕ_{in} を受ける第2のnチャネルMOSトランジスタ112bとを有する接地電位印加回路、113は上記電源電位ノード10と反出力ノード111bとの間に接続され、ゲート電極に上記第1の入力信号 ϕ_{in} を受ける第3のnチャネルMOSトランジスタ113aと、上記電源電位ノード10と出力ノード111aとの間に接続され、ゲート電極に上記第2の入力信号 ϕ_{in} を受ける第4のnチャネルMOSトランジスタ113bとを有する電荷供給手段である電荷供給回路とで構成されている。

【0038】次に、以上のように構成された信号レベル変換回路110の動作について、図2に基づき説明する。まず、第1の入力信号 ϕ_{in} が図2の(a)に示すように時刻 t_{20} で立ち下がり始める前の電源電位 V_{CC} にあるときは、この第1の入力信号 ϕ_{in} を受ける上記第1のnチャネルMOSトランジスタ112aは導通状態で、出力ノード111aと接地電位ノード20とが導通し、この出力ノード111aから出力される出力信号 ϕ_{out} は図2の(d)に示すように接地電位となっており、この出力信号 ϕ_{out} をゲート電極に受ける第2のpチャネルMOSトランジスタ111dは導通状態となっている。

【0039】一方、インバータ120から出力される上記第1の入力信号 ϕ_{in} と相補の関係になっている第2の入力信号 ϕ_{in} は図2の(b)に示すように接地電位で、この第2の入力信号 ϕ_{in} をゲート電極に受ける第2のnチャネルMOSトランジスタ112bは非導通状態で、上記第2のpチャネルMOSトランジスタ111dは導通状態で、昇圧電位ノード11と反出力ノード111bとが導通しているため、この反出力ノード111bの電位 ϕ_{out} は図2の(c)に示すように昇圧電位 V_{PP} となっており、この反出力ノード111bの電位 ϕ_{out} をゲート電極に受ける第1のpチャネルMOSトランジスタ111cは非導通状態となっている。さらに、上記電源電位 V_{CC} の第1の入力信号 ϕ_{in} をゲート電極に受ける第3のnチャネルMOSトランジスタ113aは電源電位ノード10の電位 V_{CC} よりも、昇圧電位 V_{PP} となっている反出力ノード111bの電位 ϕ_{out} のほうが高いので、上記電源電位ノード10の電位 V_{CC} がソース電位となり、ゲート・ソース間の電圧は0で非導通状態となっており、上記接地電位の第2の入力信号 ϕ_{in} をゲート電極に受ける第4のnチャネルMOSトランジスタ113bは非導通状態となっている。

【0040】次に、第1の入力信号 ϕ_{in} が図2の(a)に示すように時刻 t_{20} で立ち下がり始め、時刻 t_{21} で第

1のnチャネルMOSトランジスタ112aの閾値電圧 V_{tn} となり、やがて接地電位に立ち下がると、この第1の入力信号 ϕ_{in} をゲート電極に受ける第1のnチャネルMOSトランジスタ112aは非導通状態となり、同様に上記第1の入力信号 ϕ_{in} をゲート電極に受ける第3のnチャネルMOSトランジスタ113aは非導通状態のままで、また、インバータ120は上記第1の入力信号 ϕ_{in} を受け、図2の(b)に示すようにほぼ時刻 t_{21} で第2のnチャネルMOSトランジスタ112bおよび第4のnチャネルMOSトランジスタ113bの閾値電圧 V_{tn} を越え、やがて電源電位 V_{CC} となる第2の入力信号 ϕ_{in} を出力し、この第2の入力信号 ϕ_{in} をゲート電極に受ける上記第4のnチャネルMOSトランジスタ113bは、電源電位ノード10の電位 V_{CC} より接地電位の出力ノード111aの電位 ϕ_{out} の方が低いので、この出力ノード111aの電位 ϕ_{out} がソース電位となり、ゲート・ソース間の電位が閾値電圧 V_{tn} 以上あるので導通状態となり、電源電位ノード10と出力ノード111aとが導通し、この出力ノード111aに電荷が供給され、図2の(d)に示すように出力ノード111aの電位 ϕ_{out} が上昇し始める。

【0041】さらに、上記第2の入力信号 ϕ_{in} を受け第2のnチャネルMOSトランジスタ112bは導通状態となり、反出力ノード111bと接地電位ノード20とが導通し、この反出力ノード111bの電位 ϕ_{out} が図2の(c)に示すように立ち下がり始め、時刻 t_{22} で昇圧電位 V_{pp} より第1のpチャネルMOSトランジスタ111cの閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位となり、この反出力ノード111bの電位 ϕ_{out} をゲート電極に受ける第1のpチャネルMOSトランジスタ111cは導通状態となり、昇圧電位ノード11と出力ノード111aとが導通し、この出力ノード111aの電位 ϕ_{out} はさらに素早く上昇し、ほぼ上記時刻 t_{22} で電源電位 V_{CC} より第4のnチャネルMOSトランジスタ113bの閾値電圧 V_{tn} だけ低い電位となると、この第4のnチャネルMOSトランジスタ113bのゲート・ソース間の電圧が上記閾値電圧 V_{tn} 以下となるので、上記nチャネルMOSトランジスタ113bは非導通状態となる。

【0042】しかし、第1のpチャネルMOSトランジスタ111cは導通状態のままなので、出力ノード111aの電位 ϕ_{out} は図2の(d)に示すように上昇し続け、時刻 t_{23} で昇圧電位 V_{pp} より第2のpチャネルMOSトランジスタ111dの閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位を越え、やがて昇圧電位 V_{pp} となり、この出力ノード111aの電位 ϕ_{out} をゲート電極に受ける第2のpチャネルMOSトランジスタ111dは非導通状態となり、反出力ノード111bの電位 ϕ_{out} は図2の(c)に示すように接地電位となる。

【0043】そして、第1の入力信号 ϕ_{in} が図2の

(a)に示すように時刻 t_{24} で立ち上がり始め、時刻 t_{25} で第1のnチャネルMOSトランジスタ112aの閾値電圧 V_{tn} を越え、電源電位 V_{CC} に立ち上がると、この第1の入力信号 ϕ_{in} をゲート電極に受ける第3のnチャネルMOSトランジスタ113aは、電源電位ノード10の電位 V_{CC} より接地電位の反出力ノード111bの電位 ϕ_{out} の方が低いので、この反出力ノード111bの電位 ϕ_{out} がソース電位となり、ゲート・ソース間の電圧が閾値電圧 V_{tn} 以上あるので導通状態となり、電源電位ノード10と上記反出力ノード111bとが導通し、この反出力ノード111bに電荷が供給され、反出力ノード111bの電位 ϕ_{out} は図2の(c)に示すように上昇し始める。

【0044】さらに、上記第1の入力信号 ϕ_{in} をゲート電極に受ける第1のnチャネルMOSトランジスタ112aも導通状態となり、出力ノード111aと接地電位ノード20とが導通し、上記出力ノード111aの電位 ϕ_{out} が図2の(d)に示すように下がり始め、時刻 t_{26} で昇圧電位 V_{pp} より第2のpチャネルMOSトランジスタ111dの閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位となり、この出力ノード111aの電位 ϕ_{out} をゲート電極に受ける上記第2のpチャネルMOSトランジスタ111dは導通状態となり、昇圧電位ノード11と反出力ノード111bとが導通し、この反出力ノード111bの電位 ϕ_{out} が図2の(c)に示すように上昇し始める。

【0045】一方、インバータ120は上記第1の入力信号 ϕ_{in} を受け、図2の(b)に示すように時刻 t_{27} で第2のnチャネルMOSトランジスタ112bおよび第4のnチャネルMOSトランジスタ113bの閾値電圧 V_{tn} となり、接地電位に立ち下がる第2の入力信号 ϕ_{in} を出力し、この第2の入力信号 ϕ_{in} をゲート電極に受ける上記第2のnチャネルMOSトランジスタ112bは非導通状態となり、上記導通状態にある第2のpチャネルMOSトランジスタ111dおよび第3のnチャネルMOSトランジスタ113aとにより反出力ノード111bの電位 ϕ_{out} が図2の(c)に示すように素早く上昇し、ほぼ時刻 t_{27} で電源電位 V_{CC} より第3のnチャネルMOSトランジスタ113aの閾値電圧 V_{tn} だけ低い電位を越えると、上記第3のnチャネルMOSトランジスタ113aのゲート・ソース間電圧が閾値電圧 V_{tn} 以下となるので、この第3のnチャネルMOSトランジスタ113aは非導通状態となる。

【0046】しかし、第2のpチャネルMOSトランジスタ111dは導通状態のままなので、上記反出力ノード111bの電位 ϕ_{out} は図2の(c)に示すように上昇し続け、時刻 t_{28} で昇圧電位 V_{pp} より第1のpチャネルMOSトランジスタ111cの閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位を越え昇圧電位 V_{pp} となり、この反出力ノード111bの電位 ϕ_{out} をゲート電極に受け

る上記第1のpチャネルMOSトランジスタ111cは非導通状態となり、出力ノード111aの電位 ϕ_{out} は図2の(d)に示すように接地電位となる。

【0047】上記実施例1における信号レベル変換回路110においては、出力ノード111aから出力される出力信号 ϕ_{out} が接地電位から昇圧電位 V_{pp} へ立ち上がるとき、第1のpチャネルMOSトランジスタ111cだけでなく、電荷供給回路113における第4のnチャネルMOSトランジスタ113bとで上記出力ノード111aに電荷を供給することで、この出力ノード111aの電位 ϕ_{out} が素早く昇圧電位 V_{pp} となり、第2のpチャネルMOSトランジスタ111dが素早く非導通状態となるので、第2のnチャネルMOSトランジスタ112bが導通する時刻 t_{21} から上記第2のpチャネルMOSトランジスタ111dが非導通状態となる時刻 t_{23} までの、昇圧電位ノード111から第2のpチャネルMOSトランジスタ111dおよび第2のnチャネルMOSトランジスタ112bを介し、接地電位ノード20に貫通電流が流れる時間が短く、低消費電力である。

【0048】また、上記出力信号 ϕ_{out} が昇圧電位 V_{pp} から接地電位へ立ち下がるとき、第2のpチャネルMOSトランジスタ111dだけでなく、電荷供給回路113における第3のnチャネルMOSトランジスタ113aとで上記反出力ノード111bに電荷を供給することで、この反出力ノード111bの電位 ϕ_{out} が素早く昇圧電位 V_{pp} となり、第1のpチャネルMOSトランジスタ111cが素早く非導通状態となるので、第1のnチャネルMOSトランジスタ112aが導通する時刻 t_{25} から上記第1のpチャネルMOSトランジスタ111cが非導通状態となる時刻 t_{28} までの、昇圧電位ノード111から第1のpチャネルMOSトランジスタ111cおよび第1のnチャネルMOSトランジスタ112aを介し、接地電位ノード20に貫通電流が流れる時間が短く、低消費電力である。

【0049】実施例2。以下にこの発明の実施例2である信号レベル変換回路について図3に基づき説明する。この実施例2が上記実施例1と異なるのは、電荷供給回路の出力ノードおよび反出力ノードへの電荷供給をパルスで行っている点で、図3において114は直列に接続されたインバータ114aa、114abおよび114acからなり、上記インバータ120からの第2の入力信号 ϕ_{in} を受けこの反転遅延信号を出力する遅延回路114aと、上記第2の入力信号 ϕ_{in} および遅延回路114aからの出力を受けるNAND回路114bから構成され、上記第2の入力信号 ϕ_{in} が接地電位から電源電位 V_{cc} へ立ち上がるときに所定時間だけ電源電位 V_{cc} から接地電位となる第1のパルスを出力するパルス発生手段である第1のパルス発生回路、115は直列に接続されたインバータ115aa、115abおよび115aからなり、入力信号 ϕ_{in} を受けこの反転遅延信号を

出力する遅延信号を出力する遅延回路115aと、上記入力信号 ϕ_{in} および遅延回路115aからの出力を受けるNAND回路115bから構成され、上記入力信号 ϕ_{in} が接地電位から電源電位 V_{cc} へ立ち上がるときに所定時間だけ電源電位 V_{cc} から接地電位となる第2のパルスを出力するパルス発生手段である第2のパルス発生回路である。

【0050】116は上記第1のパルス発生回路114aからの第1のパルスおよび第2のパルス発生回路115aからの第2のパルスにตอบสนองして上記出力ノード111aおよび反出力ノード111bに電荷を供給する電荷供給手段である電荷供給回路で、ソース電極が電源電位ノード10に接続され、ゲート電極に上記第1のパルスを受けるpチャネルMOSトランジスタ116aと、入力側に上記第1のパルスを受けるインバータ116bと、上記pチャネルMOSトランジスタ116aのドレイン電極と出力ノード111aとの間に接続され、ゲート電極がインバータ116bの出力側に接続されたnチャネルMOSトランジスタ116cと、ソース電極が電源電位ノード10に接続され、ゲート電極に上記第2のパルスを受けるインバータ116eと、上記pチャネルMOSトランジスタ116dのドレイン電極と反出力ノード111bとの間に接続され、ゲート電極がインバータ116eの出力側に接続されたnチャネルMOSトランジスタ116fとで構成されている。

【0051】次に、上記のように構成されたこの発明の実施例2の信号レベル変換回路110の動作について図4に基づき説明する。まず、入力信号 ϕ_{in} が図4の

(a)に示すように時刻 t_{30} で立ち下がり始める前の電源電位 V_{cc} にあるときは、インバータ120から出力される上記入力信号 ϕ_{in} の反転信号である第2の入力信号 ϕ_{in} は図4の(b)に示すように接地電位で、この第2の入力信号 ϕ_{in} をゲート電極に受ける第2のnチャネルMOSトランジスタ112bは非導通状態で、また、上記第2の入力信号 ϕ_{in} を受けるインバータ130は図4の(c)に示すように電源電位 V_{cc} の第1の入力信号 ϕ_G を出力し、この第1の入力信号 ϕ_G をゲート電極に受ける第1のnチャネルMOSトランジスタ112aは導通状態で、出力ノード111aと接地電位ノード20とが導通し、この出力ノード111aから出力されている出力信号 ϕ_{out} は図4の(e)に示すように接地電位となっており、この出力信号 ϕ_{out} はゲート電極に受ける第2のpチャネルMOSトランジスタ111dは導通状態となっており、第2のnチャネルMOSトランジスタ112bは非導通状態となっているので、反出力ノード111bの電位 ϕ_{out} は図4の(d)に示すように昇圧電位 V_{pp} となっている。

【0052】また、第1のパルス発生回路114aにおけるNAND回路114bは、一方の入力に上記接地電位の第2の入力信号 ϕ_{in} を受け電源電位 V_{cc} の信号を出

力しており、この信号をゲート電極に受けるpチャネルMOSトランジスタ116aおよびこの信号のインバータ116bによる反転信号を受けるnチャネルMOSトランジスタ116cは非導通状態となっており、第2のパルス発生回路115におけるNAND回路115bは、一方の入力に遅延回路115aによる電源電位 V_{CC} の入力信号 ϕ_{in} の接地電位の反転信号を受け、電源電位 V_{CC} の信号を出力しており、この信号をゲート電極に受けるpチャネルMOSトランジスタ116dおよびこの信号のインバータ116eによる反転信号を受けるnチャネルMOSトランジスタ116fは非導通状態となっている。

【0053】次に、入力信号 ϕ_{in} が図4の(a)に示すように時刻 t_{30} で立ち下がり始め、電源電位 V_{CC} から接地電位に立ち下がると、インバータ120はこの入力信号 ϕ_{in} を受け、図4の(b)に示すように接地電位から立ち上がり、時刻 t_{31} で第2のnチャネルMOSトランジスタ112bの閾値電圧 V_{tn} を越え、電源電位 V_{CC} へ立ち上がる第2の入力信号/ ϕ_{in} を出力し、この第2の入力信号/ ϕ_{in} をゲート電極に受ける上記第2のnチャネルMOSトランジスタ112bは導通状態となり、反出力ノード111bと接地電位ノード20とが導通し、この反出力ノード111bの電位/ ϕ_{out} が図4の(d)に示すように昇圧電位 V_{pp} から立ち下がり始め、時刻 t_{32} で昇圧電位 V_{pp} より第1のpチャネルMOSトランジスタ111cの閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位となり、上記反出力ノード111bの電位/ ϕ_{out} をゲート電極に受ける上記第1のpチャネルMOSトランジスタ111cは導通状態となる。

【0054】一方、インバータ130は上記インバータ120からの第2の入力信号/ ϕ_{in} を受け、図4の

(c)に示すように時刻 t_{33} で第1のnチャネルMOSトランジスタ112aの閾値電圧 V_{tn} に立ち下がる第1の入力信号 ϕ_g を出力し、この第1の入力信号 ϕ_g を受ける上記第1のnチャネルMOSトランジスタ112aは非導通状態となる。さらに、第1のパルス発生回路114は上記インバータ120からの第2の入力信号/ ϕ_{in} を受け、遅延回路114aで決まる遅延時間の間だけ接地電位となる第1のパルスを発生し、この第1のパルスをゲート電極に受けるpチャネルMOSトランジスタ116aと、インバータ116bによる上記第1のパルスの反転信号をゲート電極に受けるnチャネルMOSトランジスタ116cとが導通し、電源電位ノード10から出力ノード111aに電荷が供給され、この出力ノード111aの電位 ϕ_{out} は図4の(e)に示すように素早く上昇し、時刻 t_{34} で昇圧電位 V_{pp} より第2のpチャネルMOSトランジスタ111dの閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位を越え昇圧電位 V_{pp} となり、この出力ノード111aの電位 ϕ_{out} をゲート電極に受ける上記第2のpチャネルMOSトランジスタ111dは非導

通状態となる。

【0055】この一連の動作の間、第2のパルス発生回路115は電源電位 V_{CC} のままの信号を出力しており、この信号をゲート電極に受けるpチャネルMOSトランジスタ116dおよびこの信号のインバータ116eによる反転信号をゲート電極に受けるnチャネルMOSトランジスタ116fは非導通状態のままである。

【0056】そして、入力信号 ϕ_{in} が図4の(a)に示すように時刻 t_{35} で立ち上がり始め、接地電位から電源電位 V_{CC} に立ち上がると、インバータ120はこの入力信号 ϕ_{in} を受け、図4の(b)に示すように時刻 t_{36} で第2のnチャネルMOSトランジスタ112bの閾値電圧 V_{tn} となり、接地電位に立ち下がる第2の入力信号/ ϕ_{in} を出力し、この第2の入力信号/ ϕ_{in} をゲート電極に受ける上記第2のnチャネルMOSトランジスタ112bは非導通状態となる。また、インバータ130は上記第2の入力信号/ ϕ_{in} を受け、図4の(c)に示すようにほぼ時刻 t_{36} で第1のnチャネルMOSトランジスタ112aの閾値電圧 V_{tn} となり、電源電位 V_{CC} に立ち上がる第1の入力信号 ϕ_g を出力し、この第1の入力信号 ϕ_g をゲート電極に受ける上記第1のnチャネルMOSトランジスタ112aは導通状態となり、出力ノード111aと接地電位ノード20とが導通し、この出力ノード111aの電位 ϕ_{out} が図4の(e)に示すように立ち下がり始め、時刻 t_{37} で昇圧電位 V_{pp} より第2のpチャネルMOSトランジスタ111dの閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位となり、上記第2のpチャネルMOSトランジスタ111dが導通状態となる。

【0057】一方、第2のパルス発生回路115は上記入力信号 ϕ_{in} を受け、遅延回路115aで決まる遅延時間の間だけ接地電位となる第2のパルスを発生し、この第2のパルスをゲート電極に受けるpチャネルMOSトランジスタ116dと、インバータ116eによる上記第2のパルスの反転信号をゲート電極に受けるnチャネルMOSトランジスタ116fとが導通し、電源電位ノード10から反出力ノード111bに電荷が供給され、この反出力ノード111bの電位/ ϕ_{out} は図4の

(d)に示すように素早く上昇し、時刻 t_{38} で昇圧電位 V_{pp} より第1のpチャネルMOSトランジスタ111cの閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位を越え昇圧電位 V_{pp} となり、この反出力ノード111bの電位/ ϕ_{out} をゲート電極に受ける上記第1のpチャネルMOSトランジスタ111cは非導通状態となる。

【0058】この時刻 t_{35} から時刻 t_{38} までの一連の動作の間、第1のパルス発生回路114は電源電位 V_{CC} のままの信号を出力しており、この信号をゲート電極に受けるpチャネルMOSトランジスタ116aおよびこの信号のインバータ116bによる反転信号をゲート電極に受けるnチャネルMOSトランジスタ116cは非導通状態のままである。

【0059】上記実施例2における信号レベル変換回路110においては、出力ノード111aから出力される出力信号 ϕ_{out} が接地電位から昇圧電位 V_{pp} へ立ち上がるとき、第1のpチャネルMOSトランジスタ111cだけでなく、電荷供給回路116とで上記出力ノード111aに電荷を供給することで、この出力ノード111aの電位 ϕ_{out} が素早く昇圧電位 V_{pp} となり、第2のpチャネルMOSトランジスタ111dが素早く非導通状態となるので、第2のnチャネルMOSトランジスタ112bが導通する時刻 t_{31} から上記第2のpチャネルMOSトランジスタ111dが非導通状態となる時刻 t_{34} までの、昇圧電位ノード111から第2のpチャネルMOSトランジスタ111dおよび第2のnチャネルMOSトランジスタ112bを介し、接地電位ノード20に貫通電流が流れる時間が短く、低消費電力である。

【0060】また、上記出力信号 ϕ_{out} が昇圧電位 V_{pp} から接地電位へ立ち下がるとき、第2のpチャネルMOSトランジスタ111dだけでなく、電荷供給回路116とで上記反出力ノード111bに電荷を供給することで、この反出力ノード111bの電位 ϕ_{out} が素早く昇圧電位 V_{pp} となり、第1のpチャネルMOSトランジスタ111cが素早く非導通状態となるので、第1のnチャネルMOSトランジスタ112aが導通する時刻 t_{36} から上記第1のpチャネルMOSトランジスタ111cが非導通状態となる時刻 t_{38} までの、昇圧電位ノード111から第1のpチャネルMOSトランジスタ111cおよび第1のnチャネルMOSトランジスタ112aを介し、接地電位ノード20に貫通電流が流れる時間が短く、低消費電力である。

【0061】実施例3. 以下にこの発明の実施例3である信号レベル変換回路について図5に基づき説明する。図5において、111は図1および図3に示されたクロスカプル型回路、141は出力ノード111aと接地電位ノード20との間に接続され、ゲート電極が反出力ノード111bに接続されたnチャネルMOSトランジスタ、142は所定期間活性化（電源電位 V_{cc} 振幅のHレベル）するリセット信号RSTを受け、このリセット信号RSTが活性化すると反出力ノード111bに電荷を供給し、出力ノード111aと接地電位ノード20とを導通させるリセット手段であるリセット回路で、電源電位ノード10と反出力ノード111bとの間に接続され、ゲート電極に上記リセット信号RSTを受けるnチャネルMOSトランジスタ142aと上記出力ノード111aと接地電位ノード20との間に接続され、ゲート電極に上記リセット信号RSTを受けるnチャネルMOSトランジスタ142bとからなる。

【0062】143は選択および非選択を示す選択信号SELおよび入力信号 ϕ_{in} を受け、選択信号が選択（電源電位 V_{cc} 振幅のHレベル）を示すと、上記nチャネルMOSトランジスタ141のゲート電極に（反出力ノード

111bに）上記入力信号 ϕ_{in} の反転入力信号 ϕ_{in} を伝達するスイッチング手段であるスイッチング回路で、上記入力信号 ϕ_{in} を受け、反転入力信号 ϕ_{in} を出力するインバータ143aと、上記インバータ143aの出力側と反出力ノード111bとの間に接続され、ゲート電極に上記選択信号SELを受けるnチャネルMOSトランジスタ143bとにより構成されている。144は上記選択信号SELおよび上記反転入力信号 ϕ_{in} に応答し、上記選択信号SELが選択を示し、かつ反転入力信号 ϕ_{in} が上記nチャネルMOSトランジスタ141を導通状態から非導通状態に変化させる信号になると上記出力ノード111aに電荷を供給する電荷供給手段である電荷供給回路で、上記インバータ143aの入力側と出力ノード111aとの間に接続され、ゲート電極に選択信号SELを受けるnチャネルMOSトランジスタ144aから構成されている。

【0063】次に、上記のように構成された信号レベル変換回路140の動作について、図6に基づき説明する。まず、リセット信号RSTが活性化される時刻 t_{40} までは図6の（e）に示すように出力ノード111aの電位 ϕ_{out} は昇圧電位 V_{pp} 、反出力ノード111bの電位 ϕ_{out} は接地電位とし、入力信号 ϕ_{in} が接地電位の際の動作を説明する。上記リセット信号RSTが図6の（a）に示すように時刻 t_{40} で活性化されると、このリセット信号RSTをゲート電極に受けるnチャネルMOSトランジスタ142aは導通状態となり、電源電位ノード10と反出力ノード111bとが導通し、この反出力ノード111bの電位 ϕ_{out} が図6の（d）に示すように接地電位から上昇し始める。

【0064】また、上記リセット信号RSTをゲート電極に受けるnチャネルMOSトランジスタ142bも導通状態となり、出力ノード111aと接地電位ノード20とが導通し、この出力ノード111aの電位 ϕ_{out} が図6の（e）に示すように昇圧電位 V_{pp} から低下し始め、時刻 t_{41} で昇圧電位 V_{pp} より第2のpチャネルMOSトランジスタ111dの閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位となり、上記第2のpチャネルMOSトランジスタ111dは導通状態となり、反出力ノード111bの電位 ϕ_{out} が図6の（d）に示すように素早く上昇し、ほぼ時刻 t_{41} で電源電位 V_{cc} よりnチャネルMOSトランジスタ142aの閾値電圧 V_{tn} だけ低い電位を越え、nチャネルMOSトランジスタ142aはゲート・ソース間電圧が閾値電圧 V_{tn} 以下となり非導通状態となる。しかし、第2のpチャネルMOSトランジスタ111dは導通状態のままなので、上記反出力ノード111bの電位 ϕ_{out} は図6の（d）に示すように上昇し続け、時刻 t_{42} で昇圧電位 V_{pp} より第1のpチャネルMOSトランジスタ111cの閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位を越え昇圧電位 V_{pp} となり、上記第1のpチャネルMOSトランジスタ111cは非導通状態とな

る。

【0065】そして、リセット信号RSTは図6の

(a)に示すように活性化した時刻 t_{40} から所定期間後の時刻 t_{43} で非活性化され、このリセット信号RSTをゲート電極に受けるnチャネルMOSトランジスタ142aおよび142bは非導通状態となる。そして、選択信号SELが図6の(b)に示すように時刻 t_{44} で選択(Hレベル)を示すと、この選択信号SELをゲート電極に受けるnチャネルMOSトランジスタ144aは導通状態となり、入力信号 ϕ_{in} が入力されるノードと出力ノード111aとが導通し、出力ノード111aに接地電位の入力信号 ϕ_{in} が伝わるが、この出力ノード111aの電位は図6の(e)に示すように既に接地電位なので何の変化もない。また、インバータ143aは上記接地電位の入力信号 ϕ_{in} を受け、電源電位 V_{CC} の反転入力信号 ϕ_{in} をnチャネルMOSトランジスタ143bに出力しているが、反出力ノードの電位 ϕ_{out} は図6の(d)に示すように昇圧電位 V_{PP} となっているので、上記nチャネルMOSトランジスタ143bのソース電極は電位の低いインバータ143aの出力側となっており、ゲート・ソース間の電圧は0で、このnチャネルMOSトランジスタ143bは非導通状態となっており、出力ノード111aの電位 ϕ_{out} および反出力ノード111bの電位 ϕ_{out} は接地電位および昇圧電位 V_{PP} のままである。

【0066】次に、入力信号 ϕ_{in} が電源電位 V_{CC} のときの動作を説明する。まず、リセット信号RSTが図6の(a)に示すように時刻 t_{45} で活性化すると、このリセット信号RSTをゲート電極に受けるnチャネルMOSトランジスタ142bは導通状態となるが、出力ノード111aの電位 ϕ_{out} は図6の(e)に示すようにすでに接地電位となっているので、何の変化もない。また、nチャネルMOSトランジスタ142aもゲート電極に上記リセット信号RSTを受けるが、ゲート・ソース間の電圧が0なので非導通状態のままである。そして、上記リセット信号RSTが図6の(a)に示すように時刻 t_{45} から所定期間経過した時刻 t_{46} で非活性化され、選択信号SELが図6の(b)に示すように時刻 t_{47} で選択(Hレベル)を示すと、この選択信号SELをゲート電極に受けるnチャネルMOSトランジスタ144aは導通状態となり、入力信号 ϕ_{in} が入力されるノードから出力ノード111aに電荷が供給され、この出力ノード111aの電位 ϕ_{out} が図6の(e)に示すように上昇し始める。

【0067】一方、インバータ143aは電源電位 V_{CC} の入力信号 ϕ_{in} を受け、接地電位の信号を出力し、nチャネルMOSトランジスタ143bはゲート電極に上記選択信号SELを受け導通状態となっているので、反出力ノード111bの電位 ϕ_{out} が図6の(d)に示すように立ち下がり始め、時刻 t_{48} で昇圧電位 V_{PP} から第

1のpチャネルMOSトランジスタ111cの閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位となり、時刻 t_{49} でnチャネルMOSトランジスタ144の閾値電圧 V_{tn} となり、接地電位に立ち下がる。すると、上記pチャネルMOSトランジスタ111cは導通状態となり、出力ノード111aの電位 ϕ_{out} は図6の(e)に示すように素早く上昇し、電源電位 V_{CC} よりnチャネルMOSトランジスタ144aの閾値電圧 V_{tn} だけ低い電位を越えると、上記nチャネルMOSトランジスタ144aのゲート・ソース間電圧が閾値電圧 V_{tn} 以下となり、このnチャネルMOSトランジスタ144aは非導通状態となる。しかし、第1のpチャネルMOSトランジスタ111cが導通状態のままなので、出力ノード111aの電位 ϕ_{out} は図6の(e)に示すように上昇し続け、ほぼ時刻 t_{49} で昇圧電位 V_{PP} より第2のpチャネルMOSトランジスタ111dの閾値電圧の絶対値 $|V_{tp}|$ だけ低い電位を越え昇圧電位 V_{PP} となり、上記第2のpチャネルMOSトランジスタ111dは非導通状態となる。

【0068】上記実施例3における信号レベル変換回路140においては、出力ノード111aの電位 ϕ_{out} を昇圧電位 V_{PP} から接地電位に、反出力ノード111bの電位 ϕ_{out} を接地電位から昇圧電位 V_{PP} にリセットするとき、第2のpチャネルMOSトランジスタ111dだけでなく、リセット回路142とで上記反出力ノード111bに電荷を供給することで、この反出力ノード111bの電位 ϕ_{out} が素早く昇圧電位 V_{PP} となり、第1のpチャネルMOSトランジスタ111cが素早く非導通状態となるので、nチャネルMOSトランジスタ142bが導通する時刻 t_{40} から上記第1のpチャネルMOSトランジスタ111cが非導通状態となる時刻 t_{42} までの、昇圧電位ノード111から第1のpチャネルMOSトランジスタ111cおよびnチャネルMOSトランジスタ142bを介し、接地電位ノード20に貫通電流が流れる時間が短く、低消費電力である。

【0069】また、上記出力信号 ϕ_{out} が接地電位から昇圧電位 V_{PP} へ立ち上がるとき、第1のpチャネルMOSトランジスタ111cだけでなく、電荷供給回路143とで上記出力ノード111aに電荷を供給することで、この出力ノード111aの電位 ϕ_{out} が素早く昇圧電位 V_{PP} となり、第2のpチャネルMOSトランジスタ111dが素早く非導通状態となるので、nチャネルMOSトランジスタ143bが導通する時刻 t_{47} から上記第2のpチャネルMOSトランジスタ111dが非導通状態となる時刻 t_{49} までの、昇圧電位ノード111から第2のpチャネルMOSトランジスタ111d、nチャネルMOSトランジスタ143bおよびインバータ143aを介し、接地電位ノード20に貫通電流が流れる時間が短く、低消費電力である。

【0070】実施例4. 以下にこの発明の実施例4である行選択回路について図7および図8に基づき説明す

る。図7において、100は電源電位 V_{CC} 振幅のロウブリデコード信号 X_2 および X_3 を受け、このロウブリデコード信号 X_2 および X_3 がHレベルだと昇圧電位 V_{PP} のロウデコード信号RDおよび接地電位のロウデコード信号/RDを出力するロウデコーダで、このロウデコーダ100において、101は電源電位ノード10と第1のノード102との間に接続され、ゲート電極に上記ロウブリデコード信号 X_2 を受けるpチャネルMOSトランジスタ、103はドレイン電極が上記第1のノード102に接続され、ゲート電極に上記ロウブリデコード信号 X_2 を受けるnチャネルMOSトランジスタ、104は上記nチャネルMOSトランジスタ103のソース電極と接地電位ノード20との間に接続され、ゲート電極に上記ロウブリデコード信号 X_3 を受けるnチャネルMOSトランジスタ、105は上記電源電位ノード10と第1のノード102との間に接続されたpチャネルMOSトランジスタ、110および120は図1に示されたこの発明の実施例1の信号レベル変換回路およびインバータである。

【0071】200はロウアドレスストローブ信号/RAS、どちらか1つが活性化するロウブリデコード信号 X_0 および X_1 を受け、ワード線ドライブ信号 RX_0 および RX_1 を出力するワード線ドライブ信号発生回路、310は上記ロウデコーダ100における出力ノード111aからの昇圧電位 V_{PP} 振幅のロウデコード信号/RD、第1のノード102からの電源電位 V_{CC} 振幅のロウデコード信号/RDおよびワード線ドライブ信号発生回路200からの昇圧電位 V_{PP} 振幅のワード線ドライブ信号 RX_0 を受け、ワード線400を昇圧電位 V_{PP} に立ち上げるためのワードドライブで、ワード線ドライブ信号発生回路200とワード線400との間に接続されたnチャネルMOSトランジスタ311と、上記ワード線400と接地電位ノード20との間に接続され、ゲート電極が第1のノード102に接続されたnチャネルMOSトランジスタ312と、出力ノード111aと上記nチャネルMOSトランジスタ311のゲート電極との間に接続され、ゲート電極が昇圧電位ノード11に接続されたnチャネルMOSトランジスタ313とで構成されている。

【0072】320は上記ロウデコーダ100における出力ノード111aからの昇圧電位 V_{PP} 振幅のロウデコード信号RD、第1のノード102からの電源電位 V_{CC} 振幅のロウデコード信号/RDおよびワード線ドライブ信号発生回路200からの昇圧電位 V_{PP} 振幅のワード線ドライブ信号 RX_1 を受け、ワード線410を昇圧電位 V_{PP} に立ち上げるためのワードドライブで、ワード線ドライブ信号発生回路200とワード線410との間に接続されたnチャネルMOSトランジスタ321と、上記ワード線410と接地電位ノード20との間に接続され、ゲート電極が第1のノード102に接続されたnチャ

ネルMOSトランジスタ322と、出力ノード111aと上記nチャネルMOSトランジスタ321のゲート電極との間に接続され、ゲート電極が昇圧電位ノード11に接続されたnチャネルMOSトランジスタ323とで構成されている

【0073】図8は上記ワード線ドライブ信号発生回路200の具体的回路図で、図8において、210はロウアドレスストローブ信号/RASを受け、この遅延信号を出力する遅延回路で、直列に接続されたインバータ211、212、213および214から構成されている。220は上記遅延回路210からの遅延信号を受け、この反転信号である選択信号SELを出力するインバータ、230は上記ロウアドレスストローブ信号/RASおよびインバータ213の出力を受け、リセット信号RSTを出力するNOR回路、240は図5に示されたこの発明の実施例3における信号レベル変換回路140からなり、上記電源電位 V_{CC} 振幅の選択信号SEL、リセット信号RSTおよびロウブリデコード信号 X_0 を受け、昇圧電位 V_{PP} 振幅のワード線ドライブ信号 RX_0 を出力する第1の信号レベル変換回路、250も図5に示されたこの発明の実施例3における信号レベル変換回路140からなり、上記電源電位 V_{CC} 振幅の選択信号SEL、リセット信号RSTおよびロウブリデコード信号 X_1 を受け、昇圧電位 V_{PP} 振幅のワード線ドライブ信号 RX_1 を出力する第2の信号レベル変換回路である。

【0074】次に上記のように構成された行選択回路の動作について説明する。まず、ロウアドレスストローブ信号/RASが電源電位 V_{CC} のHレベルのとき、ロウブリデコード信号 X_2 はLレベルとなっており、このロウブリデコード信号 X_2 をゲート電極に受けるpチャネルMOSトランジスタ101は導通状態、nチャネルMOSトランジスタ103は非導通状態となり、第1のノード102の電位/RDは電源電位 V_{CC} となり、この第1のノード102の電位/RDをゲート電極に受けるnチャネルMOSトランジスタ312および322は導通状態となっており、ワード線400および410の電位WL₁ およびWL₂ は接地電位にある。

【0075】そして、上記ロウアドレスストローブ信号/RASがLレベルになると、外部からのアドレス信号がロウアドレスとしてラッチされ、このロウアドレスに基づきブリデコード信号がHレベルまたはLレベルとなる。ここでは、ブリデコード信号 X_0 、 X_2 および X_3 がHレベル、 X_1 だけLレベルとなったときの動作について説明する。ブリデコード信号 X_2 および X_3 がHレベルになると、pチャネルMOSトランジスタ101は非導通状態となり、nチャネルMOSトランジスタ103および104は導通状態となり、第1のノード102の電位/RDは接地電位となり、この電位/RDを受け、インバータ120は電源電位 V_{CC} の信号を出力し、信号レベル変換回路110はこの信号および上記第1のノ

ード102の電位/RDを受け、昇圧電位 V_{pp} のロウデコード信号RDを出力する。

【0076】ワードドライバ310におけるnチャネルMOSトランジスタ312はゲート電極に上記接地電位の第1のノード102の電位/RDを受け、非導通状態となり、さらにnチャネルMOSトランジスタ313は上記昇圧電位 V_{pp} のロウデコード信号RDを受け、nチャネルMOSトランジスタ311のゲート電極の電位が昇圧電位 V_{pp} より上記nチャネルMOSトランジスタ313の閾値電圧 V_{tn} だけ低い電位になると非導通状態となる。ワードドライバ320におけるnチャネルMOSトランジスタ321のゲート電極の電位も同様に昇圧電位 V_{pp} よりnチャネルMOSトランジスタ323の閾値電圧 V_{tn} だけ低い電位となる。

【0077】一方、ワード線ドライブ信号発生回路200では、上記Lレベルに立ち下がったロウアドレスストローブ信号/RASを受け、このロウアドレスストローブ信号/RASが立ち下がった時刻からインバータ211、212および213の遅延で決まる所定時間だけNOR回路230の入力がともにLレベルとなり、Hレベルのリセット信号RSTが出力され、第1の信号レベル変換回路240および第2の信号レベル変換回路250からのワード線ドライブ信号 RX_0 および RX_1 がこのリセット信号RSTを受け、接地電位にリセットされる。そして、上記リセット信号RSTが立ち下がってからインバータ214および220の遅延によって決まる所定時間経過後、選択信号SELがHレベルに立ち上がり、電源電位 V_{CC} のロウブリデコード信号 X_0 および接地電位のロウブリデコード信号 X_1 に対応し、ワード線ドライブ信号 RX_0 が昇圧電位 V_{pp} に立ち上がり、 RX_1 は接地電位のままとする。

【0078】そして、上記ワード線ドライブ信号 RX_0 が昇圧電位 V_{pp} に立ち上がると、nチャネルMOSトランジスタ311の容量結合により、このnチャネルMOSトランジスタ311のゲート電極の電位が昇圧電位 V_{pp} より閾値電圧 V_{tn} 以上高くなり、ワード線400の電位 WL_1 は昇圧電位 V_{pp} となる。

【0079】上記したこの発明の実施例4においては、信号レベル変換回路110、第1の信号レベル変換回路240および第2の信号レベル変換回路250が実施例1および実施例3で示したように低消費電力なので、低消費電力の行選択回路である。また、ワードドライバ310および320に入力されるロウデコード信号RDを昇圧電位 V_{pp} 振幅とし、nチャネルMOSトランジスタ313および323のゲート電極に昇圧電位 V_{pp} を印加したので、図9に示されたような電源電位 V_{CC} 振幅のロウデコード信号RDを入力するよりも、nチャネルMOSトランジスタ311および321のゲート電極の電位を $V_{pp}-V_{CC}$ だけ高く設定することができ、ワード線ドライブ信号 RX_0 および RX_1 が昇圧電位 V_{pp} に立ち上

がったときに速く容量結合により上記nチャネルMOSトランジスタ311および321のゲート電極の電位が上昇するので、ワード線400および410の電位 WL_1 および WL_2 が速く昇圧電位 V_{pp} に立ち上がる。

【0080】

【発明の効果】この発明の第1の発明、第2の発明、第3の発明および第4の発明における信号レベル変換回路は、出力ノードの電位が電源電位より高い電位と接地電位との間の変化をするときの貫通電流が少なく低消費電力である。

【図面の簡単な説明】

【図1】この発明の実施例1を示す回路図である。

【図2】この発明の実施例1の動作を示すタイミング図である。

【図3】この発明の実施例2を示す回路図である。

【図4】この発明の実施例2の動作を示すタイミング図である。

【図5】この発明の実施例3を示す回路図である。

【図6】この発明の実施例3の動作を示すタイミング図である。

【図7】この発明の実施例4を示すブロック図である。

【図8】この発明の実施例4におけるワード線ドライブ信号発生回路の回路図である。

【図9】従来の信号レベル変換回路を含む行選択回路を示すブロック図である。

【図10】従来の信号レベル変換回路を含む行選択回路の動作を示すタイミング図である。

【符号の説明】

11 昇圧電位ノード

20 接地電位ノード

110 信号レベル変換回路

111 クロスカップル型回路

111a 出力ノード

111b 反出力ノード

111c 第1のpチャネルMOSトランジスタ

111d 第2のpチャネルMOSトランジスタ

112 接地電位印加回路

112a 第1のnチャネルMOSトランジスタ

112b 第2のnチャネルMOSトランジスタ

113 電荷供給回路

113a 第3のnチャネルMOSトランジスタ

113b 第4のnチャネルMOSトランジスタ

114 第1のパルス発生回路

115 第2のパルス発生回路

116 電荷供給回路

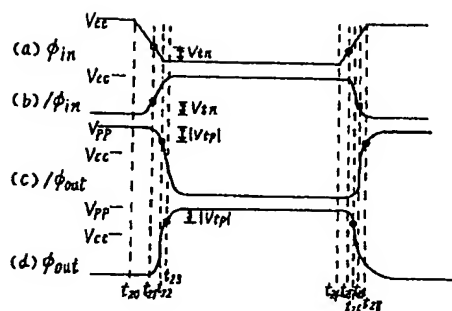
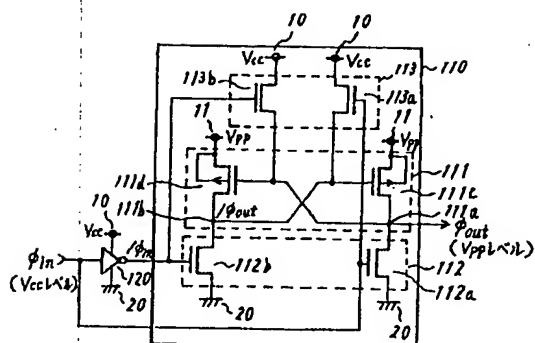
140 信号レベル変換回路

142 リセット回路

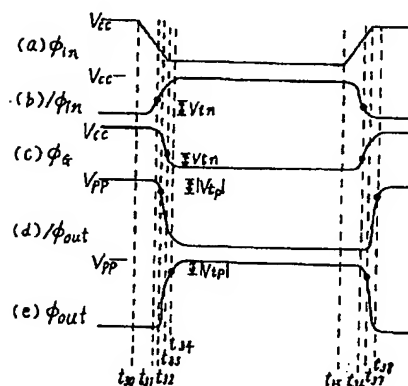
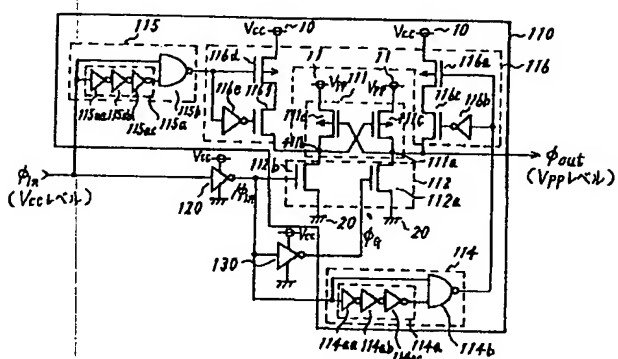
143 スイッチング回路

144 電荷供給回路

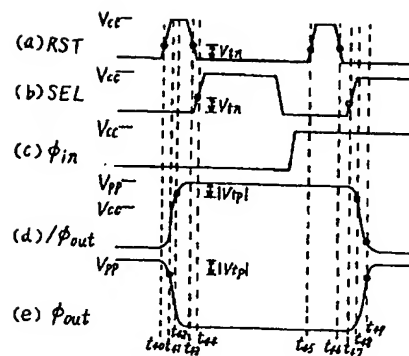
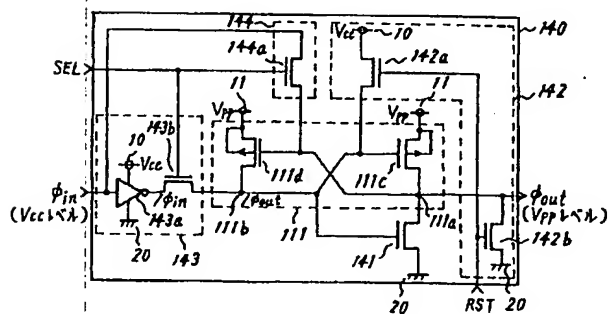
【圖 2】



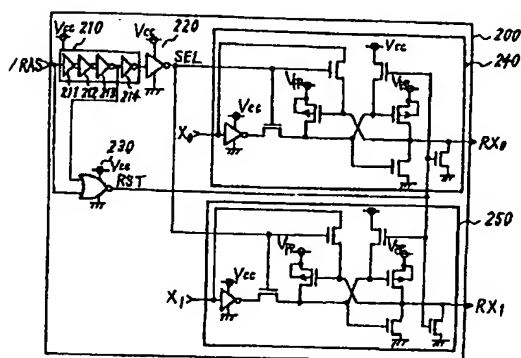
【図 4】



【图 6】



【图 8】



【図 10】

